

ARAMiS II Abschlussveranstaltung  
20.09.2019 Stuttgart



## Multicore-Plattformen und Architekturpattern

Christian Eismann, Elektrobit Automotive GmbH

GEFÖRDERT VOM



Bundesministerium  
für Bildung  
und Forschung



**Überblick &  
Einleitung**



**Virtualisierung /  
Hypervisor**



**Middleware**



**Safety & Security**



**Kommunikation**



**Zusammenfassung &  
Ausblick**





Industrielle Plattformen für Multicore-systeme

Entwicklung und Erweiterung von etablierten industriellen Plattformen für die Verwendung von Multicore-basierten Systemen

Untersuchung von Basissoftware, Middleware und Betriebssystemen

Auswertung und Entwicklung von ausfallsicheren Konzepten für Multicore-Plattformen

# TP4 Industrielle Plattformen für Multicore Systeme

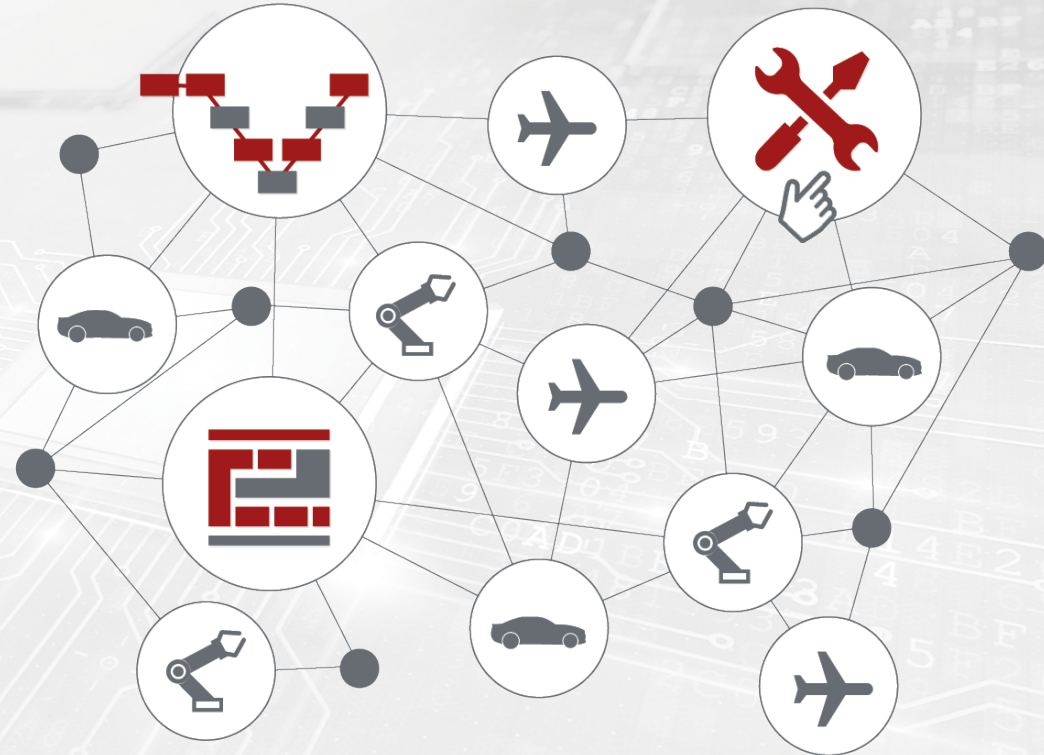
**Automotive**



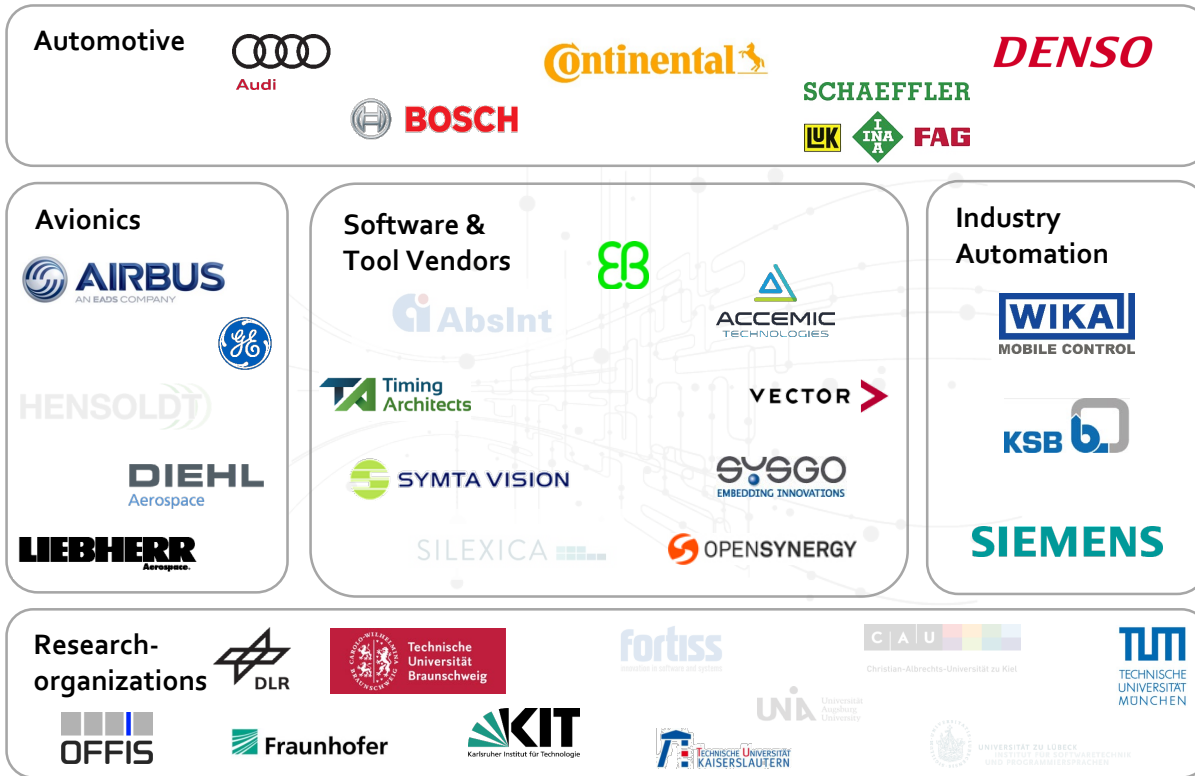
**Avionics**



**Industrie-  
automatisierung**



# TP4 Industrielle Plattformen für Multicore Systeme



Consortium

Plattform Architekturen  
und Distributionsmuster

**MIDDLEWARE** **HIERARCHICAL SCHEDULING**  
VIRTUALIZATION & HYPERVISORS  
**COMMUNICATION**  
**CODE QUALITY** BSW DISTRIBUTION

Synchronisation und  
Kommunikation

RESOURCE BROKERING  
MIXED CRITICALITY QUALITY-OF-SERVICE  
TIME DIVISION MULTIPLEXING **REAL-TIME**  
RELIABILITY NETWORK ON CHIP

Evaluierung und  
Entwicklung von fail-  
operational Konzepten

FAILURE MODES SWITCHOVER MECHANISMS  
ISO 26262 **FAILURE DIAGNOSIS**  
SIMPLEX ARCHITECTURE  
FAULT TOLERANCE **REDUNDANCY**

**Middleware**

**Communication**

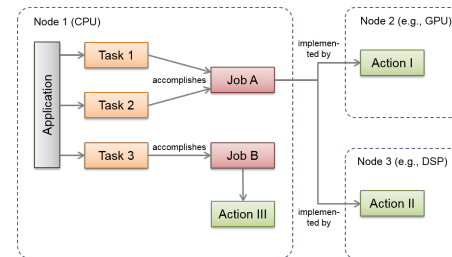
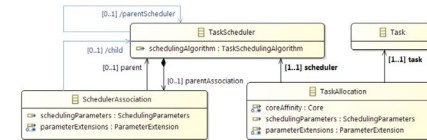
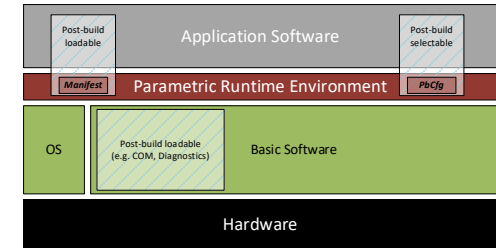
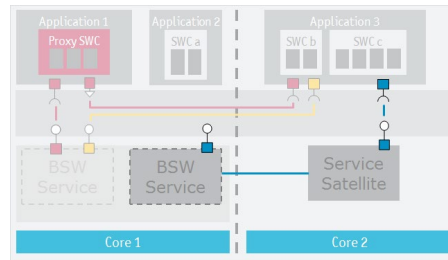
**Virtualization / Hypervisor**

**HW (CPU, GPU, FPGA, ...)**

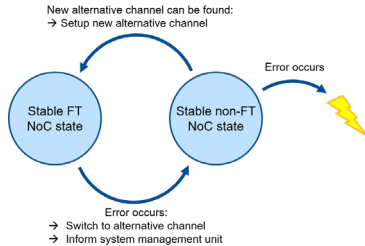
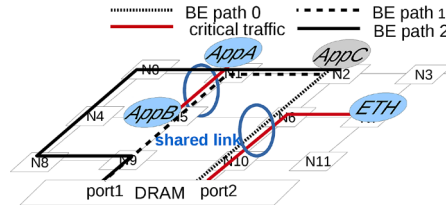
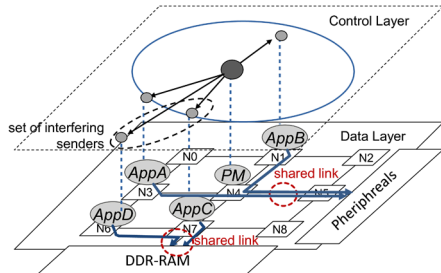
**Safety & Security**

## Middleware

- Parametrisierbare Laufzeitumgebung für ECUs
- Master-Satelliten-Muster in AUTOSAR
- Hierarchisches Scheduling für Steuereinheiten
- Aufgabenmanagement in heterogenen Systemen



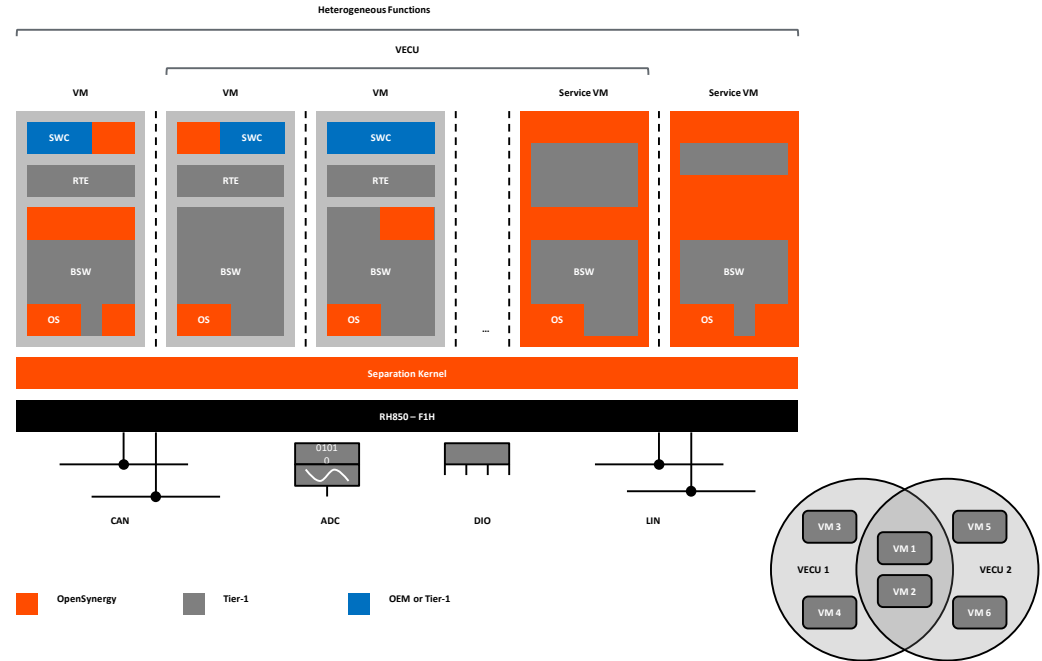




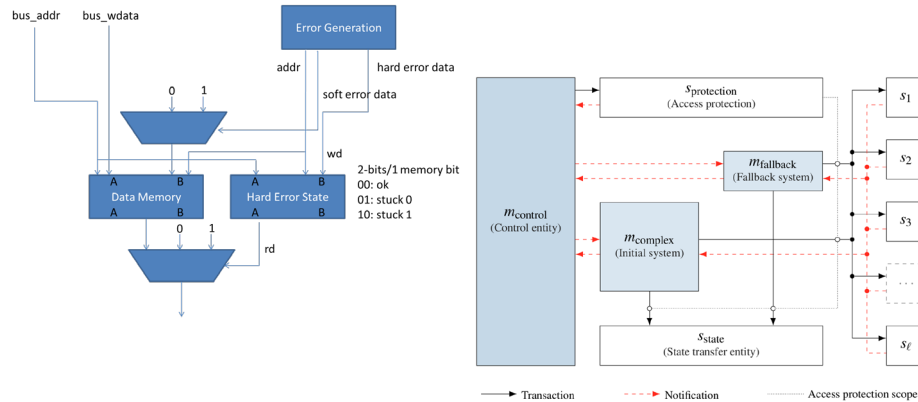
- Niedrige Latenzzeiten und Echtzeit
- Kommunikationsschicht für On-Chip Netzwerke
- Kommunikationssemantik und Modelltransformation
- Interprozessorkommunikation in heterogenen Architekturen

## Virtualisierung / Hypervisor

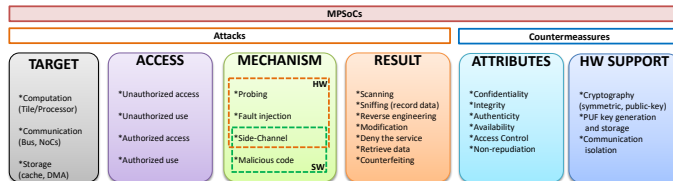
- Virtualisierung heterogener Systeme
- Online-Überwachung des Hypervisor-Betriebs
- Virtualisierung in ressourcenbeschränkten Geräten
- Modellbasierte Beschreibung der Hypervisor-Einstellungen und Codegenerierung
- Embedded hypervisor



## Safety & Security



- Sicherstellung und Vertragsgestaltung
- Hypervisor-Codequalität
- Bedrohungsmodelle und Risikominimierung
- Dynamische Migration von kritischen Funktionen für heterogene SoCs
- Ausfallsichere "switch-over" Mechanismen
- Effizienter, ausfallsicherer Multicore-Prozessor
- Sichere (secure) Schnittstelle zu Modulen außerhalb eines Chips
- Analyse ausfallsicherer Konzepte auf der System-Ebene
- Sicherheit (safety) - Isolierte Kanäle
- Absicherung von OS-Kernels



### STRUKTURIERTER MULTICORE ENTWICKLUNGSPROZESS

Bereitstellung eines systematischen und strukturierten Ansatzes zur Entwicklung von Multicore Software und Plattformen



### NEUE INDUSTRIELLE PLATTFORMEN



Entwicklung und Erweiterung von etablierten industriellen Plattformen unter Berücksichtigung Multicore spezifischer Anforderungen.



### NEUE METHODEN UND WERKZEUGE FÜR DEN ENTWICKLUNGSPROZESS

Entwicklung von Methoden und Werkzeugen, welche den strukturierten Multicore Entwicklungsprozess unterstützen



Technologische Erfolge



Organisatorische Erfolge



